

4/5/1

DIALOG(R) File 351:Derwent WPI
(c) 2005 Thomson Derwent. All rts. reserv.

013329582 **Image available**
WPI Acc No: 2000-501521/ 200045

XRPX Acc No: N00-371787

Multiclock parallel processing apparatus has clock generator for providing optimum frequency clock to field programmable gate array after reconfiguring to field programmable gate array

Patent Assignee: MITSUBISHI DENKI ENG KK (MITQ) ; MITSUBISHI ELECTRIC CORP (MITQ)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2000181566	A	20000630	JP 98355025	A	19981214	200045 B

Priority Applications (No Type Date): JP 98355025 A 19981214

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2000181566	A	11	G06F-001/04	

Abstract (Basic): JP 2000181566 A

NOVELTY - The optimum clock frequency for an operation corresponding to each field programmable gate array (FPGA) (32-35) is stored in memory (36) and is extracted by instruction controller (37) and is provided to the FPGA as control signal. A clock generator (39) provides optimum frequency clock after reconfiguring the FPGA.

USE - For parallel processing of integrated circuits such as field programmable gate array (FPGA).

ADVANTAGE - Frequency of clock for an operation can be adjusted dynamically and supplied and power consumption and processing time are reduced.

DESCRIPTION OF DRAWING(S) - The figure shows block diagram of multiclock parallel processing apparatus.

Field programmable gate array (32-35)

Memory (36)

Instruction controller (37)

Clock generator (39)

pp; 11 DwgNo 1/9

Title Terms: PARALLEL; PROCESS; APPARATUS; CLOCK; GENERATOR; OPTIMUM; FREQUENCY; CLOCK; FIELD; PROGRAM; GATE; ARRAY; AFTER; FIELD; PROGRAM; GATE; ARRAY

Derwent Class: T01

International Patent Class (Main): G06F-001/04

International Patent Class (Additional): G06F-001/10; G06F-015/177

File Segment: EPI

512

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-181566

(P2000-181566A)

(43)公開日 平成12年6月30日(2000.6.30)

(51)Int.Cl.⁷

G 0 6 F 1/04
1/10
15/177

識別記号

3 0 1
15/177
6 8 0

F I

C 0 6 F 1/04
15/177
1/04

マークコード(参考)

3 0 1 B 5 B 0 4 5
6 8 0 A 5 B 0 7 9
3 3 0 Z

審査請求 未請求 請求項の数4 O.L (全 11 頁)

(21)出願番号

特願平10-355025

(22)出願日

平成10年12月14日(1998.12.14)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(71)出願人 591036457

三菱電機エンジニアリング株式会社

東京都千代田区大手町2丁目6番2号

(72)発明者 浅見 廣愛

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

(74)代理人 100066474

弁理士 田澤 博昭 (外1名)

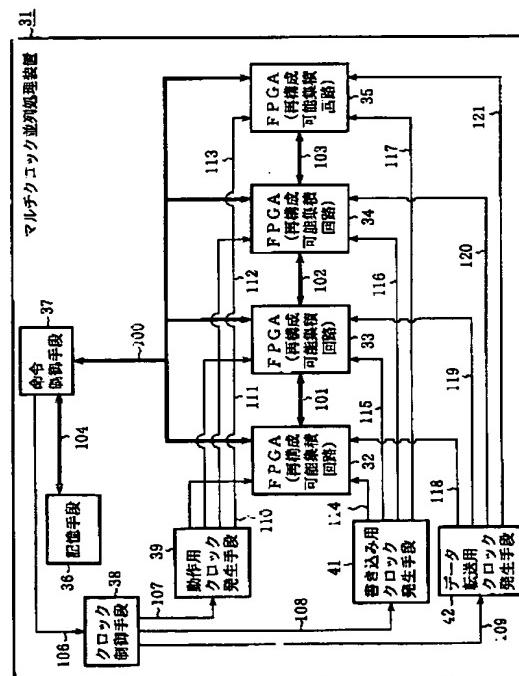
最終頁に続く

(54)【発明の名称】 マルチクロック並列処理装置

(57)【要約】

【課題】 回路構成に対応する最適なクロック周波数を各再構成可能集積回路に供給することができない。

【解決手段】 回路構成情報に対応した最適な動作用クロック周波数を記憶した記憶手段36と、利用者等の外部からの指定に応じて記憶手段36から回路構成情報を抽出して指定された再構成可能集積回路32～35を書き換えると共に、その再構成可能集積回路に対応する最適な動作用クロック周波数を制御信号として出力する命令制御手段37と、その制御信号に応じて、書き換えた後、再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段39とを備えた。



【特許請求の範囲】

【請求項1】 複数の回路構成情報をそれぞれに対応した最適な動作用クロック周波数を記憶した記憶手段と、上記記憶手段に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を選択して複数の再構成可能集積回路のそれに書き込むと共に、それら複数の再構成可能集積回路のそれに対応する最適な動作用クロック周波数をその記憶手段から抽出して制御信号として出力し、外部からの指定に応じてその記憶手段に記憶された複数の回路構成情報をうちのいずれかの回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作用クロック周波数をその記憶手段から抽出して制御信号として出力する命令制御手段と、その制御信号に応じて、上記複数の再構成可能集積回路のそれに最適な周波数の動作用クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段とを備えたマルチクロック並列処理装置。

【請求項2】 複数のデータ、およびデータ幅のそれぞれに対応した最適な動作用クロック周波数を記憶した記憶手段と、外部からの指定に応じて上記記憶手段に記憶された複数のデータのうちのいずれかのデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作用クロック周波数をその記憶手段から抽出して制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段とを備えたことを特徴とする請求項1記載のマルチクロック並列処理装置。

【請求項3】 回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、上記該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えたことを特徴とする請求項1または請求項2記載のマルチクロック並列処理装置。

【請求項4】 複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、上記該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えたことを特徴とする請求項1から請求項3のうちのいずれか1項記載のマルチクロック並列処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、複数の再構成可能集積回路を並列処理するマルチクロック並列処理装置に関するものである。

【0002】

【従来の技術】 SRAM等を記憶素子とする FPGA(Field Programmable Gate Array)等の再構成可能集積回路は、1チップ上にアンド回路、ナンド回路、およびフリップフロップ回路等のハードウェア的な論理回路と、それら論理回路の接続を示すソフトウェア的な回路構成情報を記憶するメモリとを備え、内部の構成回路を動的に何度も書き換えることができるものである。また、再構成可能集積回路は、書き込まれる回路構成情報によって最適な動作クロックが決まり、最適な動作用クロックより速いクロックで動作させると正しく機能しない。一般に、このような再構成可能集積回路を複数搭載した並列処理装置において、クロックの供給は1系統であるため、各再構成可能集積回路に書き込まれる回路構成情報が異なる場合は、各々の再構成可能集積回路に最適なクロック周波数を使うことができず、高速に実行することができない。また、ある再構成可能集積回路が回路構成情報の書き換えやデータの交換を行なっている場合は、他の再構成可能集積回路は最適なクロック周波数を使うことができない。以下に示すように、再構成可能集積回路ではないが、複数の集積回路を周波数の異なる複数の動作用クロックで並列処理する装置が発明されている。

【0003】 図7は例えば特開平2-308356号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、1～4はデータ処理ユニット、5は互いに異なる周期を有する演算処理用クロックおよびメモリアクセス用クロックを発生するクロック発生手段、6はクロック周期切替指示手段8の指示に応じてクロック発生手段5から発生される演算処理用クロックおよびメモリアクセス用クロックをクロック分配手段7を介して各データ処理ユニット1～4に供給するクロック周期切替手段、9はユニット間通信制御手段、10はデータ処理ユニット1～4間に於いてメモリアクセスが行われるか否かに応じてクロック周期切替指示手段8に制御信号を出力するユニット間通信監視手段である。

【0004】 次に動作について説明する。ユニット間通信監視手段10は、データ処理ユニット1～4間に於いてメモリアクセスが行われるか否かを監視しており、メモリアクセスが行われない場合は、各データ処理ユニット1～4に演算処理用クロックを供給する制御信号をクロック周期切替指示手段8に出力する。クロック周期切替手段6およびクロック分配手段7は、クロック周期切替指示手段8の指示に応じて、クロック発生手段5から発生される演算処理用クロックを各データ処理ユニット1～4に供給する。また、ユニット間通信監視手段10において、データ処理ユニット1、3間に於いてメモリアクセスが行われると監視された場合は、データ処理ユニット1、3にメモリアクセス用クロックを供給する制御信号をクロック周期切替指示手段8に出力し、データ

処理ユニット2、4に演算処理用クロックを供給する制御信号をクロック周期切替指示手段8に出力する。クロック周期切替手段6およびクロック分配手段7は、クロック周期切替指示手段8の指示に応じて、クロック発生手段5から発生されるメモリアクセス用クロックをデータ処理ユニット1、3に供給し、演算処理用クロックをデータ処理ユニット2、4に供給する。このように、図7に示す従来のマルチクロック並列処理装置は、複数のデータ処理ユニット1～4に対して、異なる2つの周期を有するクロックを設け、演算実行を行なうデータ処理ユニットには演算処理用クロックを、メモリアクセスを行なうデータ処理ユニットにはメモリアクセス用クロックを供給するものである。

【0005】図8は例えば特開平9-22318号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、11はプロセッサ、12は複数のレジスタファイル、13は複数の演算器、14は複数のキャッシュメモリ、15はクロック制御命令を認識した時に、クロック変更対象のハードウェア資源、即ち、複数のレジスタファイル12、複数の演算器13、複数のキャッシュメモリ14と変更後のクロック周波数とを制御信号として出力する命令デコーダ、16はその命令デコーダ15からの制御信号に応じて各ハードウェア資源に供給するクロック周波数を変更するクロック制御回路である。

【0006】次に動作について説明する。複数のハードウェア資源のうち、実行に不要なハードウェア資源のクロックを低下もしくは停止させるようなクロック制御命令を命令デコーダ15に供給する。命令デコーダ15は、そのクロック制御命令に応じて、実行に不要なハードウェア資源とその変更後のクロック周波数とを制御信号として出力し、クロック制御回路16では、その制御信号に応じて該当するハードウェア資源に供給するクロック周波数を変更する。このように、図8に示すマルチクロック並列処理装置は、命令によって実行に不要なハードウェア資源のクロックを低下もしくは停止させ、実行に必要なハードウェア資源の中で同一のクロックを供給するものである。

【0007】図9は例えば特開昭56-132625号公報に示された従来のマルチクロック並列処理装置を示す構成図であり、図において、21はバスインターフェース、22、25はDMAコントローラ、23はプロセッサユニット、24はメモリ、26はトランスマッタ、27はプロセッサユニット23およびメモリ24と、DMAコントローラ22、25と、トランスマッタ26とにそれぞれ異なるクロック周波数を供給するクロック発生回路、28はシステムバス、29は内部バスである。

【0008】次に動作について説明する。動作速度の異なる複数の集積回路、即ち、プロセッサユニット23およびメモリ24と、DMAコントローラ22、25と、

トランスマッタ26とに対して、クロック発生回路27によりそれぞれ異なるクロック周波数を供給する。このように、図9に示すマルチクロック並列処理装置は動作速度の異なる複数の集積回路に対して、集積回路毎に最適なクロック周波数を固定して供給するものである。

【0009】

【発明が解決しようとする課題】従来のマルチクロック並列処理装置は以上のように構成されているので、図7～図9に示した技術内容は、再構成可能集積回路に関連するものではないが、図7に示した複数のデータ処理ユニット1～4、図8に示した複数のハードウェア資源、図9に示した複数の集積回路を再構成可能集積回路に置き換えた場合を考えると以下のような課題があった。図7に示したような、メモリアクセスを監視することにより動的に供給するクロックの周波数を変更する技術では、再構成可能集積回路の内部の情報である回路構成情報の内容を監視することができないため、回路構成情報に対応する最適なクロック周波数を各再構成可能集積回路に供給することができないという課題があった。また、図8に示したような、命令により供給するクロック周波数を変更する技術では、各再構成可能集積回路で扱われるデータ幅により最適なクロック周波数が異なる回路構成情報が書き込まれている場合でも、転送されるデータ幅に対応した最適なクロック周波数を自動的に各再構成可能集積回路に供給することができないという課題があった。さらに、図9に示したような、各集積回路に対して固定した異なるクロック周波数を供給する技術では、各集積回路に対して同期したクロック周波数を持たないため、隣接する集積回路が異なるクロック周波数で動作している場合、非同期にしか直接通信することができず、効率が悪くなるという課題があった。さらに、図7～図9に示した技術では、再構成可能集積回路とした場合でも、1つの構成要素によりクロックを供給しているため、回路構成の設計を行なう場合には、固定されたクロックに合せて設計を行なわなければならないという課題があった。さらに、図7～図9に示した技術では、複数の構成要素によりクロックを供給するように構成変更したとしても、回路が再構成不可能なハードウェアで構成されているため、個々のハードウェアの設計をする際には動作用クロックを考慮および検証した後に設計を行なう必要があった。これらの理由から、回路の設計の際には回路と動作用クロックの両方を考えながら設計を進める必要があり、回路設計の制約となるなどの課題があった。

【0010】この発明は上記のような課題を解決するためになされたもので、書き込み、あるいは書き換えられる回路構成情報に応じて各再構成可能集積回路を最適なクロック周波数で動作させることにより、処理時間および消費電力を低減するマルチクロック並列処理装置を得ることを目的とする。

【0011】

【課題を解決するための手段】この発明に係るマルチクロック並列処理装置は、回路構成情報に対応した最適な動作用クロック周波数を記憶した記憶手段と、それら回路構成情報を選択して複数の再構成可能集積回路に書き込むと共に、複数の再構成可能集積回路に対応する最適な動作用クロック周波数を制御信号として出力し、外部からの指定に応じて回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作用クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、複数の再構成可能集積回路に最適な周波数の動作用クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段とを備えたものである。

【0012】この発明に係るマルチクロック並列処理装置は、複数のデータ、およびデータ幅に対応した最適な動作用クロック周波数を記憶した記憶手段と、外部からの指定に応じてデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作用クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段とを備えたものである。

【0013】この発明に係るマルチクロック並列処理装置は、回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えたものである。

【0014】この発明に係るマルチクロック並列処理装置は、複数の再構成可能集積回路間で直接データの交換を行なう複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えたものである。

【0015】

【発明の実施の形態】以下、この発明の実施の一形態を説明する。

実施の形態1. 図1はこの発明の実施の形態1によるマルチクロック並列処理装置を示す構成図であり、図において、31はマルチクロック並列処理装置、32～35は複数（図示の場合は4つ）のSRAM等を記憶素子とするFPGA(Field Programmable Gate Array)等の再構成可能集積回路であり、これら再構成可能集積回路32～35は、それぞれ1チップの集積回路により形成されたものである。これら再構成可能集積回路32～35は、1チップ上にアン

ド回路、 NAND回路、 およびフリップフロップ回路等のハードウェア的な論理回路と、 それら論理回路の接続を示すソフトウェア的な回路構成情報を記憶するメモリとを備え、 内部の構成回路を動的に何度も書き換えることができるものである。

【0016】36は再構成可能集積回路32～35に書き込まれる複数の回路構成情報と、 それら再構成可能集積回路32～35によって演算されるデータと、 それら複数の回路構成情報と最適な動作用クロック周波数とを対応させたテーブルとが記憶された記憶手段である。37はこのマルチクロック並列処理装置31の立ち上げ時に、 記憶手段36に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を選択して再構成可能集積回路32～35のそれに書き込むと共に、 演算されるデータを再構成可能集積回路32～35に書き込み、 それら再構成可能集積回路32～35のそれぞれに対応する最適な動作用クロック周波数を記憶手段36に記憶されたテーブルから抽出して制御信号として出力する命令制御手段である。また、 この命令制御手段37は、 利用者等の外部から再構成可能集積回路32～35のうちのいずれかの再構成可能集積回路の回路構成を変更したい時に、 その外部からの指定に応じて記憶手段36に記憶された複数の回路構成情報のうちのいずれかの回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、 演算されるデータをその指定された再構成可能集積回路に書き込み、 その再構成可能集積回路に対応する最適な動作用クロック周波数をその記憶手段36に記憶されたテーブルから抽出して制御信号として出力するものである。38は命令制御手段37からの制御信号に応じて、 その制御信号の切り換え先を制御するクロック制御手段、 39はクロック制御手段38からの制御信号に応じて、 再構成可能集積回路32～35のそれぞれに最適な周波数の動作用クロックを供給すると共に、 書き換え後の再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段である。

【0017】図2は動作用クロック発生手段の詳細構成を示す構成図であり、 図において、 201は単一のクロック周波数を発生する基本クロック発生手段、 202～205は基本クロック発生手段201から発生されたクロック周波数を分周あるいは倍して、 複数種類の異なる周波数の動作用クロックを生成するクロック変更手段であり、 これらクロック変更手段202～205から生成される動作用クロックの周波数は、 命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて設定されるものである。

【0018】次に動作について説明する。まず、 このマルチクロック並列処理装置31の立ち上げ時に、 命令制御手段37は、 記憶手段36に記憶された複数の回路構成情報のうちから初期設定された回路構成情報をデータ

線104を介してそれぞれ抽出して、データ線100を介して再構成可能集積回路32～35のそれぞれに書き込む。また、命令制御手段37は、演算されるデータを記憶手段36からデータ線104を介してそれぞれ抽出して、データ線100を介して再構成可能集積回路32～35に書き込む。初期設定によって選択された回路構成情報が書き込まれた再構成可能集積回路32～35は、それら各再構成可能集積回路32～35の内部の論理回路をそれら回路構成情報に応じて接続し、それら回路構成情報に応じた機能を有する回路構成になり、同時に書き込まれたデータを保持することによって、そのデータの演算の準備がなされる。さらに、命令制御手段37は、再構成可能集積回路32～35のそれぞれに書き込んだ各回路構成情報に応じた最適な動作用クロック周波数を記憶手段36に記憶されたテーブルからデータ線104を介して抽出して、各再構成可能集積回路32～35を示す識別子とその最適な動作用クロック周波数を示す識別子とを対応させた制御信号を信号線106に出力する。

【0019】クロック制御手段38は、命令制御手段37からの制御信号に応じて、その制御信号の切り換え先を制御する。この場合は、切り換え先を動作用クロック発生手段39への信号線107側にする。動作用クロック発生手段39は、図2に示したように構成されており、基本クロック発生手段201から発生された单一のクロック周波数をクロック線206～209を介して各クロック変更手段202～205が入力し、それら各クロック変更手段202～205は、クロック制御手段38から信号線107を介して入力された制御信号に応じて单一のクロック周波数を分周あるいは遅倍して、再構成可能集積回路32～35のそれぞれにクロック線110～113を介して最適な周波数の動作用クロックを供給する。このように、このマルチクロック並列処理装置31の立ち上げ時においては、各再構成可能集積回路32～35に初期設定された回路構成情報とデータとが書き込まれると共に、それら回路構成情報に応じた最適な周波数の動作用クロックが供給され、各再構成可能集積回路32～35の回路構成は、最適な周波数の動作用クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。

【0020】次に、利用者等の外部から再構成可能集積回路32～35のうちのいずれかの再構成可能集積回路の回路構成を変更したい時に、命令制御手段37は、記憶手段36に記憶された回路構成情報のうちのその外部からの指定に応じた回路構成情報をデータ線104を介して抽出して、データ線100を介して指定された再構成可能集積回路を書き換える。また、命令制御手段37は、演算されるデータを記憶手段36からデータ線104を介して抽出して、データ線100を介して指定された再構成可能集積回路を書き換える。このようにして、

指定された再構成可能集積回路の回路構成、およびデータが書き換えられる。さらに、命令制御手段37は、指定された再構成可能集積回路を書き換えた回路構成情報に応じた最適な動作用クロック周波数を記憶手段36に記憶されたテーブルからデータ線104を介して抽出して、指定された再構成可能集積回路を示す識別子とその最適な動作用クロック周波数を示す識別子とを対応させた制御信号を信号線106に出力する。

【0021】クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先を動作用クロック発生手段39への信号線107側にする。動作用クロック発生手段39の各クロック変更手段202～205のうちのいずれかのクロック変更手段は、クロック制御手段38から信号線107を介して入力された制御信号に応じて单一のクロック周波数を分周あるいは遅倍して、指定された再構成可能集積回路にクロック線110～113を介して最適な周波数の動作用クロックを供給する。このように、利用者等の外部から再構成可能集積回路32～35のうちのいずれかの再構成可能集積回路の回路構成を変更したい時においても、回路構成の変更指定された再構成可能集積回路が指定された回路構成情報とデータとに書き換えられると共に、その変更指定された回路構成情報に応じた最適な周波数の動作用クロックが供給され、再構成可能集積回路の変更後の回路構成は、最適な周波数の動作用クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。

【0022】以上のように、この実施の形態1によれば、このマルチクロック並列処理装置31の立ち上げ時、および利用者等の外部から再構成可能集積回路32～35のうちのいずれかの再構成可能集積回路の回路構成を変更したい時において、各再構成可能集積回路32～35に書き込み、あるいは書き換えられた回路構成情報に応じた最適な周波数の動作用クロックが供給され、各再構成可能集積回路32～35の回路構成は、最適な周波数の動作用クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。また、複数の再構成可能集積回路32～35に対して動作用クロックの周波数を動的に調整して供給することができるので、再構成可能集積回路に書き込む回路構成情報およびデータの設計を行なう際に、動作用クロックの周波数に制約されることなく設計を行なうことができ、設計を容易にすることができます。尚、この実施の形態1では、マルチクロック並列処理装置31の立ち上げ時に、全ての再構成可能集積回路32～35に回路構成情報およびデータを書き込んだが、初期設定に応じて任意の再構成可能集積回路に回路構成情報およびデータを書き込むようにしても良い。また、データは回路構成に応じて必要がない場合は、書き込む必要はない。さらに、この実施の形態1では、再構成可能集積回

路の回路構成の変更時に、1つの再構成可能集積回路に対して行う処理について説明したが、再構成可能集積回路の回路構成の変更は、同時に2つ以上の再構成可能集積回路に対して行っても良い。

【0023】実施の形態2. 図3はこの発明の実施の形態2によるデータ幅と最適な動作用クロック周波数とを対応させたテーブルを示す概念図であり、記憶手段36には、このテーブルが記憶されている。また、図1に示したマルチクロック並列処理装置を示す構成図において、命令制御手段37は、利用者等の外部からの指定に応じて再構成可能集積回路32～35のうちのいずれかの回路構成を変更する時において、その指定された再構成可能集積回路に書き換えられるデータのデータ幅を監視し、その書き換えられるデータ幅に対応する最適な動作用クロック周波数を記憶手段36に記憶されたテーブルから抽出して制御信号として出力する機能を有するものである。その他の構成は、実施の形態1と同一である。

【0024】次に動作について説明する。この実施の形態2は、書き換える再構成可能集積回路に転送されるデータのデータ幅に応じて最適なクロック周波数を供給するものである。図4は32ビット加算器を示す構成図であり、図において、400～431は全加算器、A[0]～A[31]、B[0]～B[31]は各々1ビットの入力、S[0]～S[31]は1ビットの出力、CIは桁上げ入力、COは桁上げ出力である。各々の全加算器400～431は2つの入力信号と桁上げ入力信号との加算を行い、桁上げが発生するとそれを上位ビットに伝えるものである。図4に示したような32ビット加算器を初期設定において再構成可能集積回路に回路構成し、その後、その書き込まれた32ビット加算器を16ビット加算器に書き換える時に、実施の形態1に示したように、16ビット加算器の回路構成情報を記憶手段36から抽出して、その回路構成情報により再構成可能集積回路を書き換える手法を用いても良いが、再構成可能集積回路に書き込まれた32ビット加算器の回路構成をそのまま用い、データのデータ幅を、32ビットのデータ幅から16ビットのデータ幅を有するデータに書き換えることによって、32ビット加算器を16ビット加算器として機能させる手法もある。しかしながら、32ビット加算器を16ビット加算器として機能させる手法では、32ビット加算器に32ビットの入力を行なった時と、16ビットの入力を行なった時とでは、データ幅や入力から出力までの遅延値等の違いから、最適な動作用クロックが異なってしまい、16ビット加算器に16ビットの入力を行なった時に比べて処理時間および消費電力が増大してしまう。

【0025】従って、記憶手段36に予め図3に示したようなデータ幅と最適な動作用クロック周波数とを対応させたテーブルを記憶させておき、命令制御手段37に

よって、データのデータ幅を監視し、当初32ビットのデータ幅であったものが16ビットに変更された場合に、その16ビットのデータ幅に対応する最適な動作用クロック周波数を記憶手段36に記憶されたテーブルから抽出して、指定された再構成可能集積回路を示す識別子とその最適な動作用クロック周波数を示す識別子とを対応させた制御信号を信号線106に出力する。以後のクロック制御手段38および動作用クロック発生手段39の動作は、実施の形態1と同一である。

【0026】以上のように、この実施の形態2によれば、回路構成の変更の際に、既に書き込まれた回路構成をそのまま利用しデータのみ変更する場合に、その変更後のデータのデータ幅から最適な動作用クロック周波数を再構成可能集積回路に供給することができ、その再構成可能集積回路の回路構成は、最適な周波数の動作用クロックに同期してデータを演算することができるので、処理時間および消費電力を低減することができる。尚、データが変更されてもデータ幅に変更がない場合は、最適な動作用クロック周波数を変更する必要はない。

【0027】実施の形態3. 図1に示したマルチクロック並列処理装置を示す構成図において、命令制御手段37は、回路構成情報の再構成可能集積回路32～35への書き込み時、あるいは書き換え時に、それら再構成可能集積回路32～35の識別子を制御信号として出力する機能を有するものである。また、41はその制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段である。図5はこの発明の実施の形態3による書き込み用クロック発生手段の詳細構成を示す構成図であり、図において、501は単一のクロック周波数を発生する基本クロック発生手段、502は基本クロック発生手段501から発生されたクロック周波数を、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路に書き込み用クロックを供給する切り換え器である。

【0028】次に動作について説明する。回路構成情報の再構成可能集積回路32～35への書き込み時、あるいは書き換え時に、命令制御手段37は、該当する再構成可能集積回路32～35の識別子を制御信号として信号線106に出力する。クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先を書き込み用クロック発生手段41への信号線108側にする。書き込み用クロック発生手段41は、基本クロック発生手段501から発生されたクロック周波数を、クロック制御手段38から信号線108を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路にクロック線114～117を介して書き込み用クロックを供給する。その後、命令制御手段37から回路構成情報を該当する再構成可能集積回路に転送され、これにより、他の再構成可能集積回路が動作中であっても、

該当する再構成可能集積回路に回路構成情報の書き込みが可能となる。

【0029】以上のように、この実施の形態3によれば、各再構成可能集積回路32～35に個別に書き込み用クロックを供給することができ、他の再構成可能集積回路が動作中であっても、その動作を妨げることなく該当する再構成可能集積回路に回路構成情報の書き込みができる。

【0030】実施の形態4、図1に示したマルチクロック並列処理装置を示す構成図において、記憶手段36には、複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら再構成可能集積回路間で用いられる最適な周波数のデータ転送用クロックが記憶されている。また、命令制御手段37には、複数の再構成可能集積回路間で直接データの交換を行なう場合に、それら複数の再構成可能集積回路の識別子と共に、記憶手段36に記憶された該当する最適な周波数のデータ転送用クロックを示す識別子とを制御信号として出力する機能を有するものである。101～103はデータ線であり、これらデータ線101～103によって複数の再構成可能集積回路間で直接データの交換を行なうものである。42はその制御信号に応じて、該当する再構成可能集積回路に最適な周波数のデータ転送用クロックを供給するデータ転送用クロック発生手段である。図6はこの発明の実施の形態4によるデータ転送用クロック発生手段の詳細構成を示す構成図であり、図において、601は単一のクロック周波数を発生する基本クロック発生手段、602は基本クロック発生手段601から発生されたクロック周波数を、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて分周あるいは倍増して、最適な周波数のデータ転送用クロックを生成するクロック変更手段、603はクロック変更手段602によって生成された最適な周波数のデータ転送用クロックを、命令制御手段37からクロック制御手段38を介して入力された制御信号に応じて切り換え、該当する再構成可能集積回路に供給する切り換え器である。

【0031】次に動作について説明する。再構成可能集積回路32～35において隣接する再構成可能集積回路間でデータ線101～103のいずれかを介してデータ転送を行なう場合に、命令制御手段37は、それら複数の再構成可能集積回路の識別子と共に、記憶手段36に記憶された該当する最適な周波数のデータ転送用クロックを示す識別子とを制御信号として信号線106に出力する。ここで、記憶手段36に記憶される最適な周波数のデータ転送用クロックは、各再構成可能集積回路32～35に供給される動作用クロックの周波数から容易に設定することができる。例えば、再構成可能集積回路32と再構成可能集積回路33との間でデータ線101間でデータ転送を行う場合に、それら再構成可能集積回路32、33に書き込まれた各回路構成情報の最適な動作

用クロックの周波数から小さい方の動作用クロックの周波数を選択して、その小さい方の動作用クロックの周波数を最適な周波数のデータ転送用クロックとする等により設定することができる。クロック制御手段38は、命令制御手段37からの制御信号に応じて、切り換え先をデータ転送用クロック発生手段42への信号線109側にする。データ転送用クロック発生手段42では、クロック制御手段38から信号線109を介して入力された制御信号に応じて、クロック変更手段602によって最適な周波数に調整変更されたデータ転送用クロックを生成し、また、切り換え器603によって、その制御信号に応じて切り換え、該当する再構成可能集積回路にクロック線118～121を介して最適な周波数のデータ転送用クロックを供給する。

【0032】以上のように、この実施の形態4によれば、動作用クロック発生手段39から各再構成可能集積回路32～35に供給される動作用クロックは、各再構成可能集積回路32～35への経路の違いや、各クロック変更手段202～205の揺らぎなどから、周波数が同じであっても同期をとることが困難である。このため、動作用クロック発生手段39とは異なる同期のとれたデータ転送用クロックを発生するデータ転送用クロック発生手段42を設け、各再構成可能集積回路32～35に供給することにより、異なる周波数の動作用クロック周波数で動作する再構成可能集積回路間でも、同期したデータ転送を行なうことができる。また、各再構成可能集積回路32～35に個別に最適な周波数のデータ転送用クロックを供給することができ、他の再構成可能集積回路が動作用クロックによって動作中であっても、その動作を妨げることなく、該当する再構成可能集積回路間での同期したデータ転送ができる。尚、この実施の形態4では、データ転送用クロック発生手段42にクロック変更手段602を1つ設けたものを示したが、クロック変更手段602を複数設け、例えば、再構成可能集積回路32、33間と、再構成可能集積回路34、35間に、互いに異なる最適な周波数のデータ転送用クロックを供給し、データ転送するようにしても良い。

【0033】

【発明の効果】以上のように、この発明によれば、回路構成情報に対応した最適な動作用クロック周波数を記憶した記憶手段と、それら回路構成情報を選択して複数の再構成可能集積回路に書き込むと共に、複数の再構成可能集積回路に対応する最適な動作用クロック周波数を制御信号として出力し、外部からの指定に応じて回路構成情報を抽出して指定された再構成可能集積回路を書き換えると共に、その再構成可能集積回路に対応する最適な動作用クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、複数の再構成可能集積回路に最適な周波数の動作用クロックを供給すると共に、書き換え後の再構成可能集積回路を最適な周波数の

動作用クロックに変更する動作用クロック発生手段とを備えるように構成したので、マルチクロック並列処理装置の立ち上げ時、および外部から再構成可能集積回路の回路構成を変更したい時において、各再構成可能集積回路に書き込み、あるいは書き換えられた回路構成情報に応じた最適な周波数の動作用クロックが供給され、各再構成可能集積回路の回路構成は、最適な周波数の動作用クロックに同期してデータを演算することができる。また、複数の再構成可能集積回路に対して動作用クロックの周波数を動的に調整して供給することができる。再構成可能集積回路に書き込む回路構成情報の設計を行なう際に、動作用クロックに制約されることなく設計を行なうことができ、設計を容易にすることができる効果がある。

【0034】この発明によれば、複数のデータ、およびデータ幅に対応した最適な動作用クロック周波数を記憶した記憶手段と、外部からの指定に応じてデータを抽出して指定された再構成可能集積回路に書き込むと共に、そのデータのデータ幅に対応する最適な動作用クロック周波数を制御信号として出力する命令制御手段と、その制御信号に応じて、書き込み後の再構成可能集積回路を最適な周波数の動作用クロックに変更する動作用クロック発生手段とを備えるように構成したので、回路構成の変更の際に、既に書き込まれた回路構成をそのまま利用し、データのみ変更する場合に、その変更後のデータのデータ幅から最適な動作用クロック周波数を再構成可能集積回路に供給することができ、その再構成可能集積回路の回路構成は、最適な周波数の動作用クロックに同期してデータを演算することができる。処理時間および消費電力を低減することができる効果がある。

【0035】この発明によれば、回路構成情報を書き込む、または書き換える再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路に書き込み用クロックを供給する書き込み用クロック発生手段とを備えるように構成したので、各再構成可能集積回路に個別に書き込み用クロックを供給することができ、他の再構成可能集積回路が動作中であっても、その動作を妨げることなく該当する再構成可能集積回路に回路構成情報の書き込みができる効果がある。

【0036】この発明によれば、複数の再構成可能集積回路間で直接データの交換を行なう複数の再構成可能集積回路の識別子を制御信号として出力する命令制御手段と、その制御信号に応じて、該当する再構成可能集積回路にデータ転送用クロックを供給するデータ転送用クロック発生手段とを備えるように構成したので、動作用クロック発生手段とは異なる同期のとれたデータ転送用クロックを発生するデータ転送用クロック発生手段を設け、各再構成可能集積回路に供給することにより、異なる周波数の動作用クロック周波数で動作する再構成可能集積回路間でも、同期したデータ転送を行なうことができる。また、各再構成可能集積回路に個別にデータ転送用クロックを供給することができ、他の再構成可能集積回路が動作用クロックによって動作中であっても、その動作を妨げることなく、該当する再構成可能集積回路間での同期したデータ転送ができる効果がある。

【図面の簡単な説明】

【図1】 この発明の実施の形態1によるマルチクロック並列処理装置を示す構成図である。

【図2】 動作用クロック発生手段の詳細構成を示す構成図である。

【図3】 この発明の実施の形態2によるデータ幅と最適な動作用クロック周波数とを対応させたテーブルを示す概念図である。

【図4】 32ビット加算器を示す構成図である。

【図5】 この発明の実施の形態3による書き込み用クロック発生手段の詳細構成を示す構成図である。

【図6】 この発明の実施の形態4によるデータ転送用クロック発生手段の詳細構成を示す構成図である。

【図7】 従来のマルチクロック並列処理装置を示す構成図である。

【図8】 従来のマルチクロック並列処理装置を示す構成図である。

【図9】 従来のマルチクロック並列処理装置を示す構成図である。

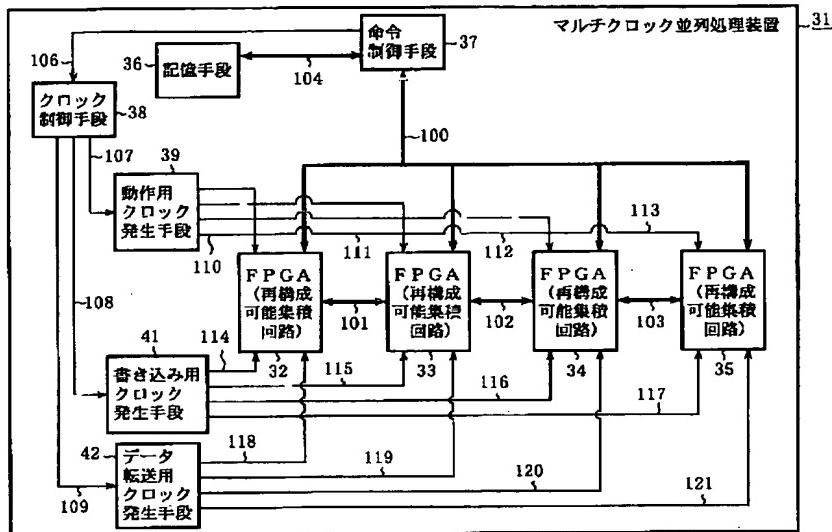
【符号の説明】

31 マルチクロック並列処理装置、32～35 再構成可能集積回路、36 記憶手段、37 命令制御手段、39 動作用クロック発生手段、41 書き込み用クロック発生手段、42 データ転送用クロック発生手段。

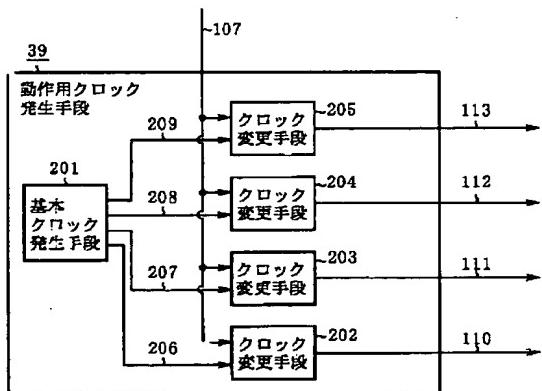
【図3】

データ幅	最適クロック
1～16	50 MHz
17～32	28 MHz
⋮	⋮

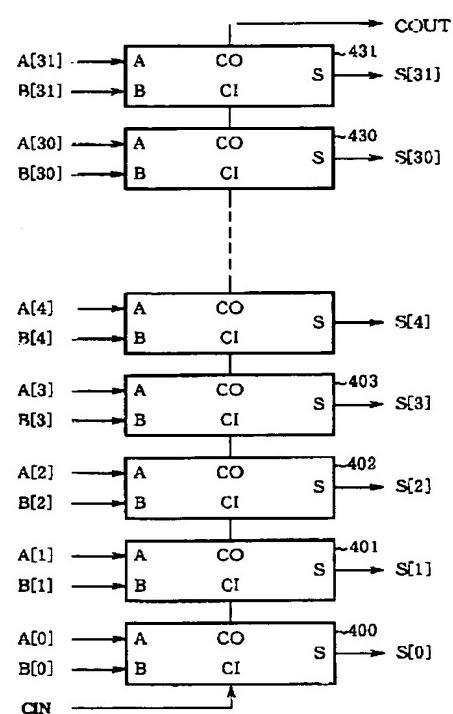
【図1】



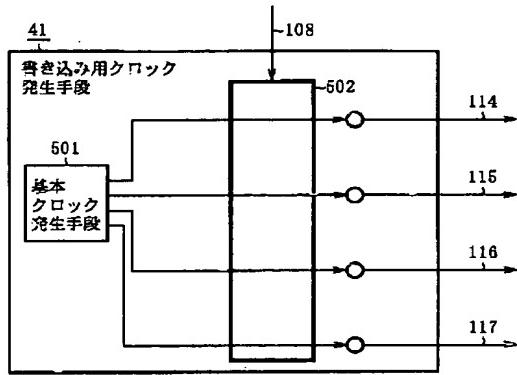
【図2】



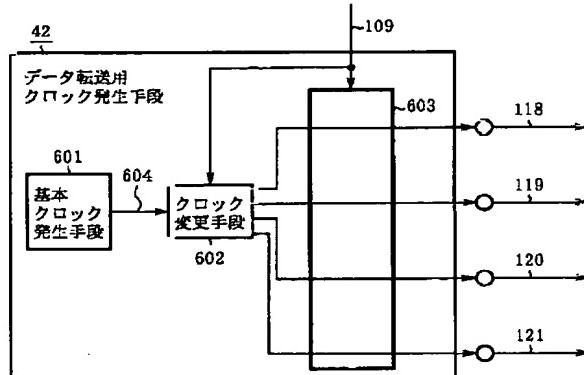
【図4】



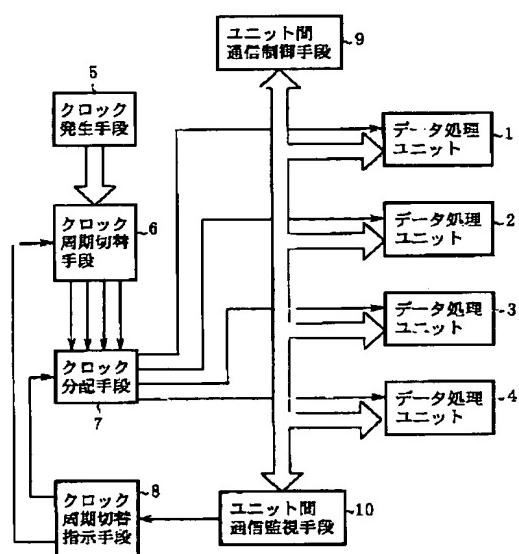
【図5】



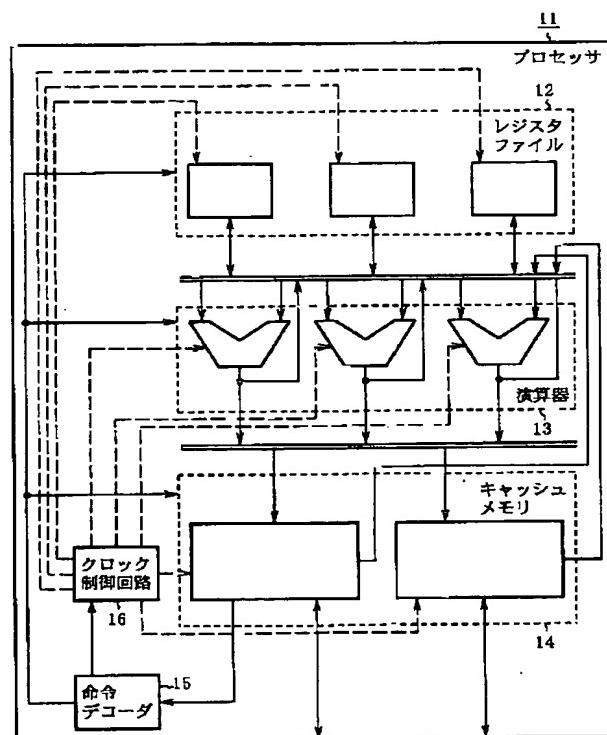
【図6】



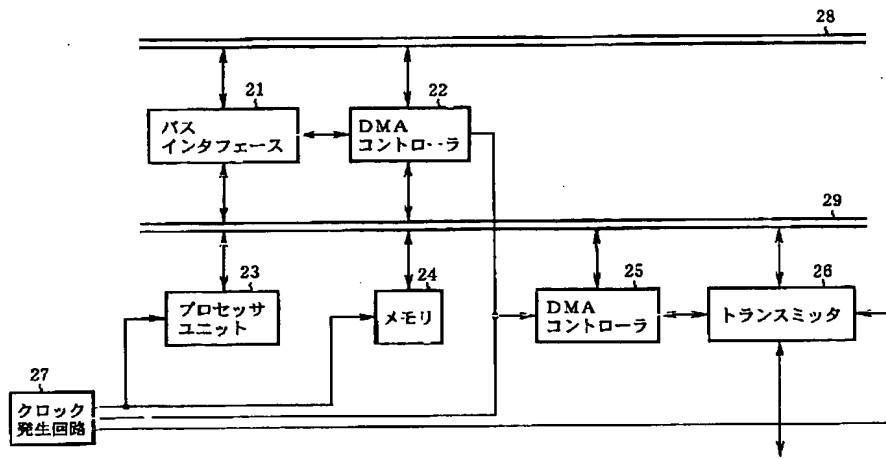
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 佐藤 裕幸
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
(72)発明者 飯田 全広
東京都千代田区大手町二丁目6番2号 三
菱電機エンジニアリング株式会社内

(72)発明者 森 伯郎
東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内
F ターム(参考) 5B045 CC04 CC05
5B079 BA20 BB02 BC03 CC17 DD02
DD13 DD20